デバイスの記事

ミックスト・シグナル LSIテスタ技術の基礎（前編）

システムLSIの品質・信頼性を保証するための基盤技術

小室貴紀，小林春夫，酒寄寛，光野正志

ここでは，ミックスト・シグナルLSIテスタを構成する要素技術について解説する．最近では，システムLSIの多くがアナログ回路やミックスト・シグナル回路を内蔵している．また，1Gbps以上の伝送速度に対応した高速I/O回路を内蔵するLSIも増えている．こうしたLSIの量産テストに欠かせないのがミックスト・シグナルLSIテスタである．LSIの開発・製造コストに占めるテスト・コストの割合は年々上昇している．とくに，アナログ回路やミックスト・シグナル回路のテストにかかるコストの削減は，LSI量産時の大きな課題の一つとなっている．（編集部）

LSIテスタは，技術的には“今日の”LSIを用いて，“あしたの”(つまり，より性能の高い)LSIを計測・評価する電子装置です．そのため，(相対的に)性能の低いLSIを使って性能の高いLSIを測定するためのさまざまなくふうが盛り込まれています．また，高性能化とともに，小型化，低消費電力化，低コスト化の要求もあります．

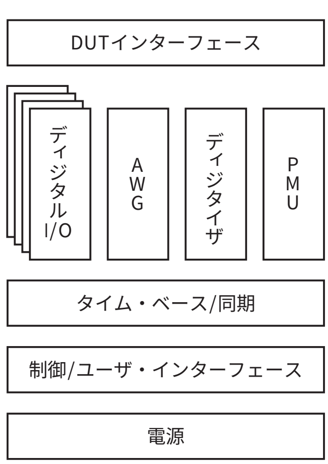


図1 ミックスト・シグナルLSIテスタの構成
ミックスト・シグナルLSIテスタは，DUT（device under test）へディジタル信号を入出力する部分，DUTに規定のアナログ信号を与えるAWG（arbitrary waveform generator），PMU（parametric measurement unit），DUTのアナログ出力を受けるディジタイザなどからなる．

本稿ではミックスト・シグナルLSIテスタについて，アナログ関係のハードウェア技術を中心に解説していきます．今回の前編では，LSIテスタを構成する要素技術や実際のLSIテストの例について説明します．次回の後編では，テスト容易化設計，およびLSIテストに関する産学連携の開発事例を紹介する予定です．

● 製造したチップの良否判定を行う計測装置

LSIテスタは，LSI製造の最終工程で，パッケージングまで終了したチップの良否判定を行う計測装置です[(1)]．そのため，実験室などで使用される先端的な測定器とは性格が異なります．

図1に，典型的なミックスト・シグナルLSIテスタの構成を示します．ミックスト・シグナルLSIテスタは，DUT(device under test；測定対象となるデバイス)へディジタル信号を入出力する部分，DUTに規定のアナログ信号を与えるAWG(arbitrary waveform generator；任意波形発生器)，PMU(parametric measurement unit；直流電圧・電流源)，DUTのアナログ出力を受けるディジタイザなどからなります．ミックスト・シグナルLSIテスタには，このほかに，これらのサブシステムとDUTを接続するインターフェース，各サブシステムにクロックや同期信号を供給するタイム・ベース，全体の動きを制御するCPU(central processing unit)，全体に電力を供給する電源などが含まれます．LSIの動作速度は年々上昇し，高機能化も進んでいるので，それをテストするLSIテスタの能力も年々向上させる必要があります．

高速信号(ここで述べる“高速”とは，数百MHz～数GHzの領域を指す)の計測において，アナログ信号波形をディジタル・データとして取得するディジタイザは重要な構成

要素の一つです．ディジタイザはA-Dコンバータを内蔵しており，その性能は回路技術に大きく依存します(12)～(14)．この領域の信号計測技術は，オシロスコープなどの単機能測定器ではすでに確立しています．これらの技術をもとに，いかにしてシステムを構築するかがLSIテスタ開発の要点となります．高速信号を測定する手段には，サンプリング技術とインターリーブ技術があります．それぞれの技術については，後ほど詳しく紹介します．

一方，LSIテスタの構成要素のうち，ディジタル部，および（D-A変換器を含む）AWGは，LSIのプロセス技術への依存度が高く，半導体の微細化に伴って処理速度が向上していきます．また，LSIテスタ特有の問題として，DUTと測定システムの間の接続のよしあしが計測品質を左右するようになってきています．

1 高速波形のサンプリング技術

ここでは高速波形のサンプリングに必要な等価時間サンプリング技術や同技術のタイム・ベースなどについて説明していきます．

● 繰り返し信号の計測に「等価時間サンプリング」を利用

高速波形計測の一つの手法として，入力を一定時間間隔でサンプリングし，A-D変換した後，メモリに取り込む「サンプリング技術」が広く用いられています（**図2**）(2)～(5)．

LSIテスタでは「等価時間サンプリング」が用いられており，この技術は被測定信号が繰り返し生起する場合はサンプリング定理の制約を受けません．また，（高速・高周波信号の）入力信号よりも長い周期で信号をサンプリングして，波形を合成・計測できます．

この技術は原理上，単発信号は扱えず，繰り返し生起する信号のみが測定対象となります．サンプリング・オシロスコープに広く採用されており，さまざまな方式が実現されています．LSIテスタでは，入力信号の周期の整数倍から少しずれた周期でサンプリングし，低い周波数に変換して，そのあとA-D変換する方法がとられています（コヒーレント・サンプリング法）．

図3に等価時間サンプリングの動作原理を示します．LSIテスタでは，多くの場合，DUTに対して既知の信号を与えます．また，測定系全体が同期して動作します．そのため，DUTの出力信号を予想可能な繰り返し信号とすることができ，等価時間サンプリングの手法を利用できます．

● 等価時間サンプリングのタイム・ベースは3種類

一般に，電子計測器（LSIテスタやサンプリング・オシロスコープなど）において等価時間サンプリングを実現するタイム・ベースには，次の三つがあります(2)～(5)．

1）コヒーレント・サンプリング法

コヒーレント・サンプリング法は，**図4**に示すように，入力が周期信号でサンプリング周期T_sを入力周期に対して少しだけ（T_e）ずらすことで実現できます．ただし，測定したい波形が繰り返し生起しても，その生起する周期が一定でない場合，この方法は使用できません．

2）シーケンシャル・サンプリング法

シーケンシャル・サンプリング法とは，生起したときにトリガをかけ，その一定時間（Δt）後にサンプリングする

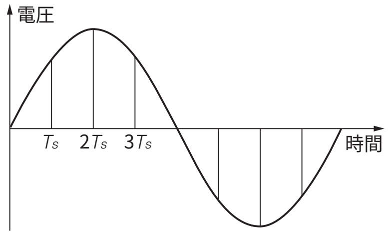


図2　波形のサンプリング技術
時間間隔T_sごとに波形データを取得する．

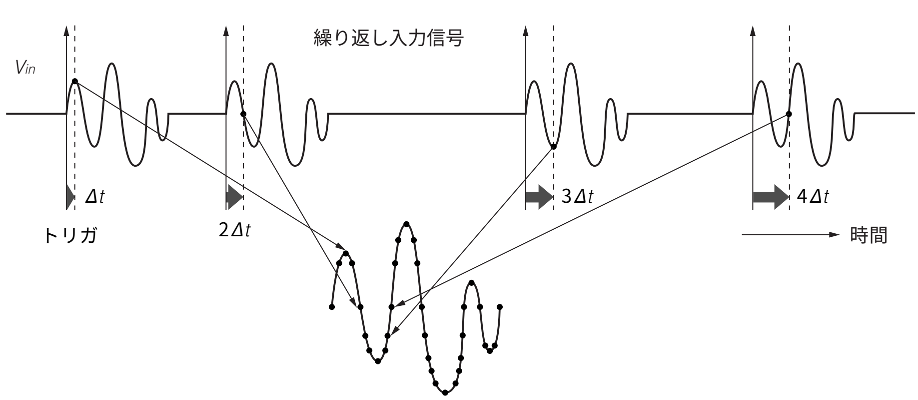


図3　繰り返し入力波形に対する等価時間サンプリングの原理
サンプリング時刻のトリガ信号（繰り返し入力信号の起点）からの時間を知ることで，サンプル値データから波形を再合成できる．



方式です．このΔtを少しずつずらしながら，全波形データを記録します(**図3**)．測定したい波形が繰り返し生起する必要はありますが，その生起する周期が一定でなくてもかまいません．ただし，トリガ前の信号波形は計測できません．

3）ランダム・サンプリング法

ランダム・サンプリング法では，入力信号とはまったく関係のない(非同期の)サンプリング・クロックを利用して波形をサンプリングし，トリガとそのサンプリング・クロックにおけるサンプリング時刻の間の時間間隔を測定して波形を合成します．シーケンシャル・サンプリング法の場合と異なり，トリガ前の信号も観測できます(プリトリガ機能)．

● 測定とテストは似て非なる技術

ここで注意していただきたいのは，「測定(measurement)」と「テスト(test)」は似た技術ですが，厳密には異なるということです．すなわち，測定では信号のふるまいは未知ですが，テストではある程度予想できる信号を計測します．

一般に，サンプリング・オシロスコープで波形を測定する場合，その(繰り返し生起)入力波形は未知であり， その生起間隔が一定でないこともあります．そこで，シーケンシャル・サンプリング法やランダム・サンプリング法を用います．一方，LSIテスタによる「テスト」の際には，LSIテスタによってDUTへの入力信号を完全に制御できます．DUTの出力波形を事前に予想でき，生起間隔も一定とすることができるので，コヒーレント・サンプリング法を用います．

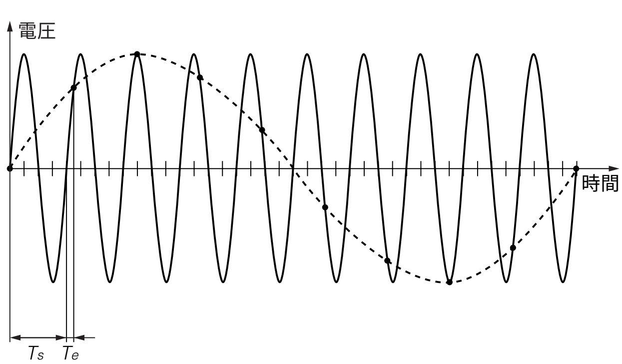


図4　ダウン・サンプリングの動作原理
高周波狭帯域信号を荒い時間間隔でサンプリングすると，低い周波数の波形に変換できる．

● 等価時間サンプリングの三つの課題

等価時間サンプリングでは，サンプリング・クロックの周波数は低くなりますが，入力信号については周波数の高いものを精度良く取得できることが要求されます．

1）サンプリング・クロックのジッタの影響

波形をサンプリングする際には「サンプリング間隔は一定」と仮定していますが， 実際にはさまざまな要因によってサンプリング間隔が変動します．これを「ジッタ」と呼びます．ジッタの影響により，取り込まれた波形は原波形と異なるひずんだものとなり，正しい情報が得られなくなることがあります[(6),(7)]．このジッタによるひずみは，波形が高速・高周波になるほど大きくなるため，高速波形計測では克服しなければならない課題の一つとなっています(**図5**)．

2）有限アパーチャ時間の影響

カメラのシャッタ時間は有限なので，高速に動く被写体を撮影すると，ボケて写ります．同じように，波形のサンプリングはあるタイミングで一瞬のうちに行われるのではなく，有限時間を要します．このため，高速波形を精度良くサンプリングすることは容易ではありません(**図6**)[(6)]．有限アパーチャ時間は等価的にローパス・フィルタとして働き，高周波成分が減衰してしまいます．

3）サンプリング回路の非理想特性

高周波信号の高精度測定のためのサンプリング回路では，以下のような非理想特性が問題となります[(12)]．

- トラック・モード時 ── 帯域，線形性
- サンプリング時 ── クロック・フィードスルー，チャージ・インジェクション，サンプリング・クロックの有限

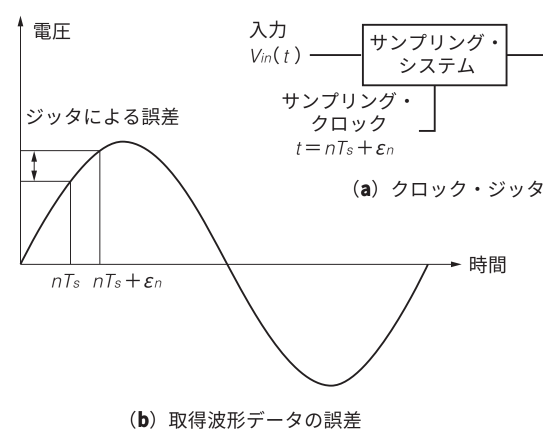


図5　サンプリング・システムのクロック・ジッタ
理想的にはサンプリング・クロックは周期T_sの波形だが，実際にはクロック周期の揺らぎ(ジッタ)ε_nが含まれる．波形のスルー・レートが大きいほどジッタによる誤差が大きい．

立ち下がり時間

- ホールド・モード時 ── ドループ，信号フィードスルー

図7(a)に，NMOSスイッチと容量からなるサンプリング回路を示します．等価時間サンプリングのためのサンプリング回路では，サンプリング周波数は比較的低くてもかまいませんが，高い周波数の入力信号を扱います．このため，トラック・モード時のNMOSスイッチのON抵抗と容量Cによる帯域が問題となります．また，サンプリング・クロックは一瞬で立ち下がるのではなく，有限時間がかかるため，**図7(b)**に示すような入力信号に依存したサンプリング・タイミング誤差が生じてしまいます[(8)]．

これらの問題を解決するため，回路上のさまざまなくふうがなされています．例えば，低い周波数に変換された信号によって高速動作部にブート・ストラップをかけ，直線性を改善する手法が用いられています．その結果，12ビット分解能に相当する直線性を持つ回路を実現しています．高速波形サンプリング技術は電子計測分野だけでなく，UWB(ultra wideband)やソフトウェア無線などの通信分野においても重要な技術になってきています．

2 インターリーブA-D変換技術

次に，インターリーブ技術の原理，およびインターリーブA-Dコンバータの問題点などについて説明します．

● 複数のADCを組み合わせて高速な変換速度を実現

インターリーブとは，高速信号をA-D変換する際に，変換のタイミングをずらせた複数のA-Dコンバータを使うことで，それぞれのA-Dコンバータを超える変換速度を実現する方式です[(9)～(11)]．**図8**に動作原理を示します．

この方式の場合，先頭のトラック・ホールドについては入力信号のナイキスト条件を満たす帯域が必要ですが，後続のA-Dコンバータに要求される帯域幅の条件は，使用個数に反比例して軽減されます．したがって，比較的変換速度の遅いA-Dコンバータを用いても，等価的に高速のA-D変換が可能となります．このインターリーブによるA-D変換は，リアルタイム・サンプリング・オシロスコープでよく用いられている技術です．現在，1Gサンプル/s，分解能8ビットのA-Dコンバータを8個用いて，8Gサンプル/sを達成した製品が数社から販売されています．

ただし，計測結果の波形を人間が目で見て判断する用途のオシロスコープと異なり，DUTの良否を自動判別する必要があるLSIテスタでは，変換速度だけでなく測定誤差

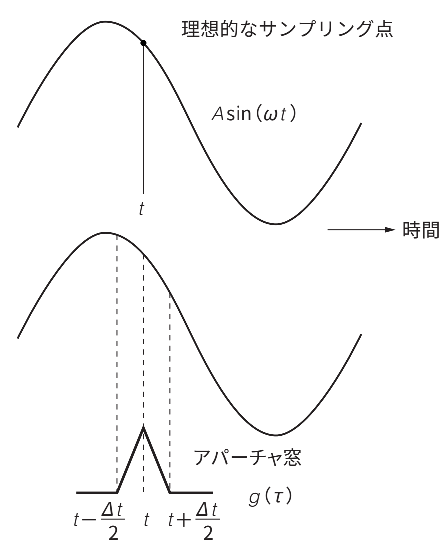


図6　サンプリングにおける有限アパーチャ時間の影響
理想的には時刻tの一瞬でサンプリングされるべきだが，実際には$t-\Delta t/2$～$t+\Delta t/2$のアパーチャ窓でサンプリングされ，ローパス・フィルタをかけた状態になってしまう．

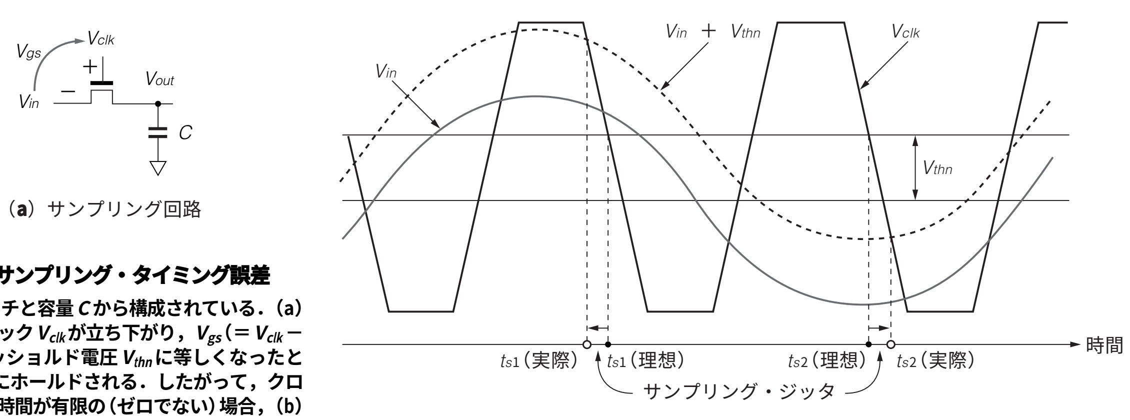


図7
サンプリング回路とサンプリング・タイミング誤差
(a)は，NMOSスイッチと容量Cから構成されている．(a)の回路において，クロックV_{clk}が立ち下がり，V_{gs}(＝$V_{clk}-V_{in}$)がNMOSのスレッショルド電圧V_{thn}に等しくなったときのV_{in}の値が容量Cにホールドされる．したがって，クロックV_{clk}の立ち下がり時間が有限の(ゼロでない)場合，(b)のようにサンプリング時間が入力電圧V_{in}に依存してしまう．

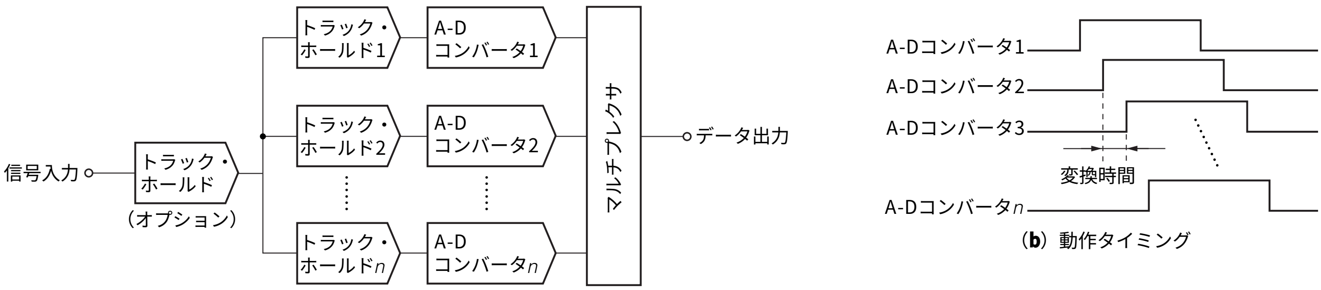


図8　インターリーブA-Dコンバータの回路構成と動作タイミング
比較的変換速度の遅いA-Dコンバータを用いて，等価的に高速のA-D変換が可能となる．インターリーブA-Dコンバータは，リアルタイム・サンプリング・オシロスコープで広く用いられている．

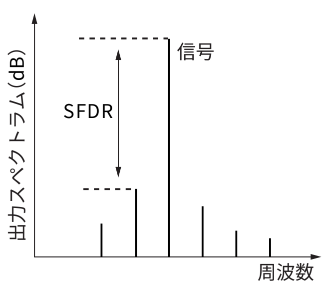


図9
SFDR（spurious free dynamic range）
SFDRは，信号パワーと最大スプリアス・パワーの比で定義される．図は縦軸がdB（デシベル）表示なので，差になっている．

も重要です．LSIテスタの測定誤差が大きいと，良品にもかかわらず不良と判定されるLSIが増え，歩留まりが低下します．最悪の場合，半導体事業の収益性にも影響を与えかねません．そのため，LSIテスタでは，12ビット分解能クラスのA-Dコンバータを用いることが望ましいとされています．

インターリーブによるA-D変換では，使用する複数のA-Dコンバータの特性にばらつきがあると，その個体差がそのまま変換誤差（ノイズ）となるので，従来は8ビット分解能以上の性能のものはあまり使われていませんでした．しかし，さまざまなくふうを施すことにより，現在では12ビット分解能を持つLSIテスタ用のインターリーブA-Dコンバータも作られています(9)．

● インターリーブADCのばらつきの影響を抑える

インターリーブA-Dコンバータでは下記のようなチャネル間ミスマッチ（ばらつき）が生じます．

- オフセット・ミスマッチ
- ゲイン・ミスマッチ
- 線形性ミスマッチ
- 帯域ミスマッチ
- サンプリング・タイミング・スキュー

これにより，時間領域ではパターン・ノイズが発生し，周波数領域ではスプリアスが立って，SFDR（spurious free dynamic range）が劣化します（**図9**）．**図10**にゲイン・ミスマッチの例を示します．

これらの対策として，現在，以下の手法が提案・実現されています．

- アナログ的に各チャネル間の特性を合わせるキャリブレーション（校正）を行う．
- A-D変換後のディジタル・データを用いてディジタル補正を行う．
- ランダム・インターリーブを行う(9)．余分にもう一つのチャネルA-Dコンバータを持たせ，チャネルA-Dコンバータの選択をランダムに行うことで，スプリアスを周波数拡散し，SFDRを改善する（ただしSN比は改善しない）．

これらの実現方法としては，初段に全体のサンプリング速度で動作するトラック・ホールド回路を設け，サンプリング・タイミング・スキューを減らす（2ランク・トラック・ホールド方式，**図8(a)**）手法があります．

前述のように，インターリーブA-Dコンバータは，低速のLSIを用いて高速の回路システムを構築するアーキテクチャです．見かたを変えれば，インターリーブA-Dコンバータは，「高速化の問題」を「システムの問題（チャネル間ミスマッチの補正の問題）」に置き換えて解決したものであると解釈できます注．

注：インターリーブ技術は電子計測器メーカにとって非常に重要である．そこで筆者らは，参考文献(9)～(11)のような研究を行ってきた．例えば，ランダム・インターリーブは，本稿の筆者のひとりである小室らが提案した．

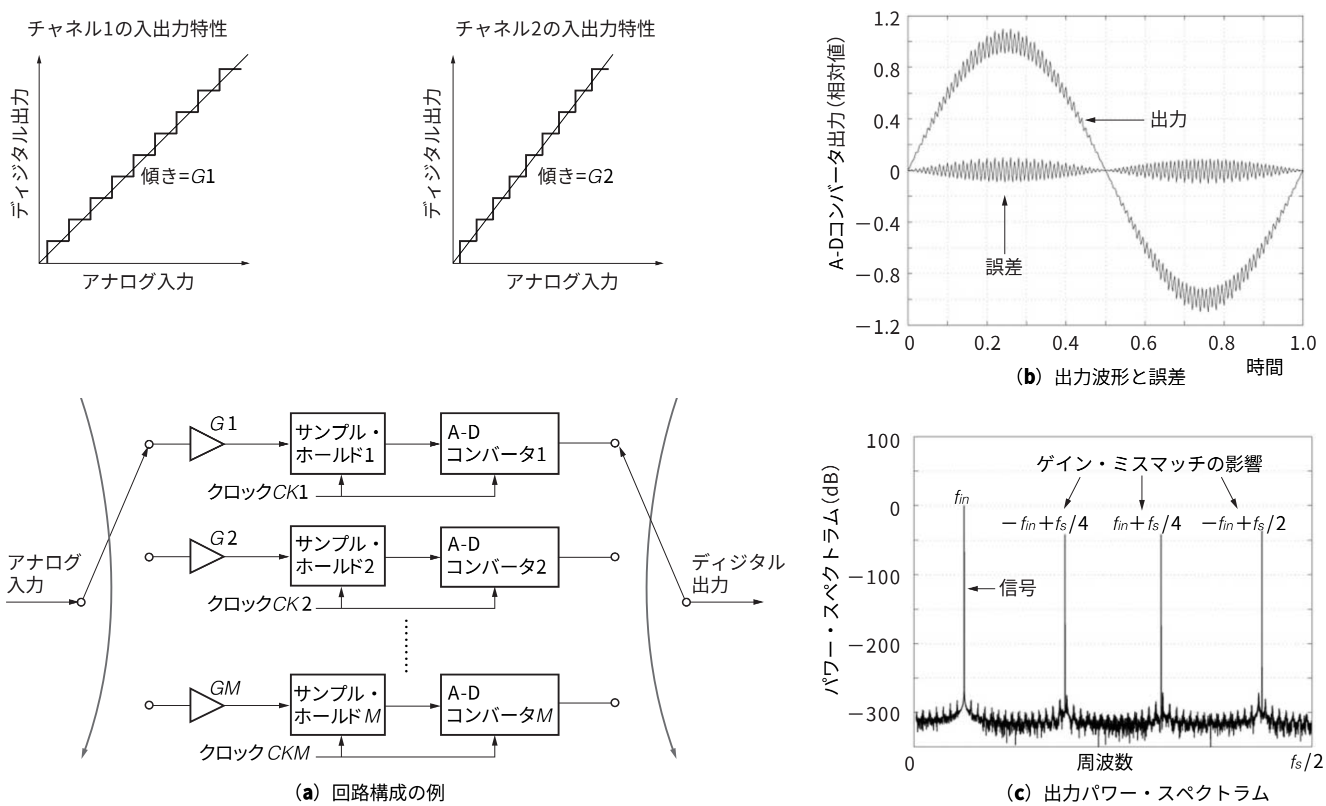


図10　ゲイン・ミスマッチの影響

インターリーブA-Dコンバータにおいて，各チャネルのゲインが異なる場合の例を示している．インターリーブA-Dコンバータのチャネル数は4，入力信号は正弦波．(b)から，ゲイン・ミスマッチによって出力波形にAM (amplitude modulation) 変調がかかったようになり，パターン・ノイズが発生していることがわかる．また，(c)から，スプリアスが発生し，SFDRが劣化していることがわかる．

3 DUTインターフェース

一般に測定系では，測定精度がもっとも高くなるように測定器と被測定物を接続します．例えば高周波計測では，インピーダンス制御された伝送線路を用い，できるだけ短い距離で接続します．

LSIテストでは，ほかの測定系には見られない独特の要求があります．これらの要求の実現は，往々にして最適な接続を妨げ，測定品質を制限する要因となります．とくに高周波測定ではこの傾向が著しいようです．

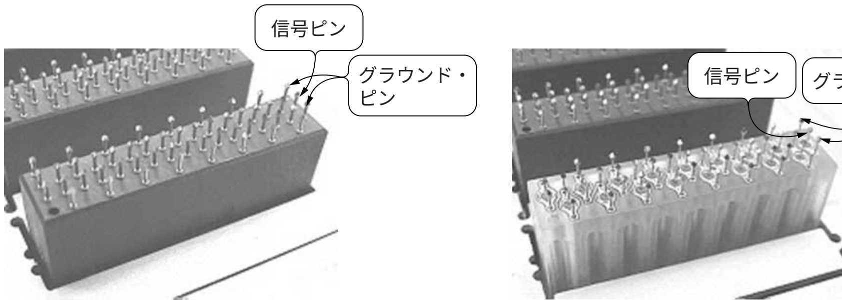
● DUTを変えるときはDUTインターフェースだけを交換

LSIテスタは，特定のDUTに合わせて構成され，24時間連続的に稼働させるのが基本的な使いかたです．しかし，LSIテスタは大規模で高額な設備です．さまざまな品種のDUTに適用できることが求められます．

この問題を解決するのが，DUTインターフェース部です．DUTインターフェースは，通常はICソケットが実装されたプリント基板（ロードボード）です．DUTの入出力をLSIテスタの適切な入出力に接続する役割を持ち，DUTの品種ごとに用意されます．DUTの品種を変更する場合，LSIテスタ本体の構成は変更せずに，DUTインターフェースのみを交換します．

ただし，近年のLSIの高機能化，多ピン化，さらには複数DUTの同時並行テストの要求により，LSIテスタ本体とDUTインターフェースの間の接点は，信号だけで1,000ヵ所，電源やグラウンドまで含めると2,000ヵ所を超えることが珍しくありません．これだけの数の接点を持つDUTインターフェースを，電気的な特性に配慮しながら簡便に交換できるようにくふうする必要があります．

電気的な接続は，**写真1**に示す「ポゴピン」と呼ばれるスプリングを内蔵したピンをインターフェースの電極と接触させることで確保しています．このような方法では，注意深く作ったとしても，扱える信号帯域が2G～3GHz程度に制限されます．



（**a**）一般信号用　　（**b**）高周波信号用

写真1　ポゴピンの例
ピンの根元までインピーダンス制御された同軸構造になっている．

より高い高周波の信号については，**写真2**に示す「ブラインド・メイト（blind mate）」と呼ばれる同軸コネクタが使われます．これは嵌合（かんごう）する一方がフローティング構造になっており，容易に脱着できます．帯域は40GHzまでのものが市販されています．ただし，このコネクタはサイズが大きく，接続できる信号の数に制限があります．また，高価であるという問題もあります．

● DUTのピンと測定装置の接続には２種類の構成がある

DUTの各ピンごとに個別に測定装置を接続できれば，接続経路が単純になり，電気的特性の確保という観点で理想的です．こうした構成は「パーピン・アーキテクチャ（一つのピンに対して一つの測定装置が用意されている構成）」と呼ばれており，ディジタルLSIや，ミックスト・シグナルLSIのディジタル部分のテストでは一般的です．

一方，ミックスト・シグナルLSIのアナログ部分の測定では，扱う周波数や精度が多岐にわたります．そのため，アプリケーションごとに異なる測定装置を用意します．また，一つの測定装置を，必要に応じてDUTの複数のピンに接続します．こうした方式は「シェアード・リソース（一つの測定装置を複数のピンの測定に使用する構成）」と呼ばれています．この場合，DUTのピンのうち，アナログ測定の必要なものの数がLSIテスタ本体に装備されているアナログ測定装置よりも多くなると，切り替えのためのスイッチが必要になります．

LSIテスタでは一連のテストを自動的に実行するので，多くの場合，スイッチとしてリレーが用いられます．そのため，リレーはLSIテスタなどの自動計測システムの重要部品となっています．例えばLSIテスタの場合，接触抵抗，伝達周波数特性，OFFアイソレーション，動作時間といった通常の電気特性に加えて，高信頼性，とくに接点寿命が重要です．

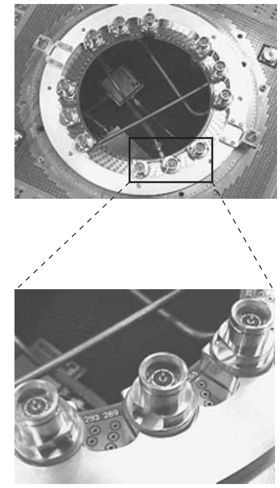


写真2
高周波用DUTインターフェースの例

簡単な例を示します．LSIテスタは大量生産品の出荷検査装置なので，特殊な場合を除いて24時間連続して稼働します．また，DUT1個当たりの検査をより短い時間で終了させることも重要で，リレーが毎秒1回程度の頻度で切り替えられることも珍しくありません．例えば，接点寿命が1,000万回のリレーは，通常の用途では十分に長寿命なリレーといえますが，LSIテスタでは3ヵ月強で寿命に達する計算になります．しかも大規模なLSIテスタでは，システム全体で3,000個以上のリレーが使われており，システム全体の信頼性を確保することは容易ではありません．

接点寿命だけについて言えば，MOSトランジスタをスイッチとする半導体リレーが有望と思われます．しかし，GHzまで維持しなければならない高周波特性とわずかなON抵抗でも問題となる直流特性の両立など，課題は多く，簡単に置き換えられない要素があります．したがって，LSIテスタに使用するスイッチは，適材適所で使い分けていく必要があると言えます．

最近では，MEMS（micro electro mechanical systems）技術を応用した小型で高性能のスイッチが発表されるようになりました．このようなスイッチを用いることで，上記の問題を解消できる可能性があり，筆者らはこの技術に大いに期待しています（詳細は，本稿の後編で説明する）．

● 高速差動信号への対応が必要に

近年の半導体は，微細加工技術の進歩に支えられて，高

速化と高集積化が進んでいます．その一方で，この進歩は素子の耐電圧の低下を引き起こし，それに合わせて，電源の低電圧化や信号の小振幅化が進んでいます．さらに，小振幅の信号がノイズの影響を受けないように，差動信号が利用されるようになってきています．

このため，最近ではLSIテスタにも差動信号を扱う機能が必要とされています．測定装置の入出力を差動信号に対応させることは比較的容易ですが，DUTインターフェースの配線を差動信号対応にすることは，意外に困難です．

基本的には，特性インピーダンスに配慮しながら2本の配線を用意するのですが，その2本の配線の間に特性のわずかな差，とくに電気長（電気的な線路長）の差があると，DUT側の信号波形とLSIテスタ側の信号波形が大きく違ってきます．例えば，測定対象として信号波形そのものが問題となる場合（高速通信の領域におけるアイ・パターン・テストなど）は注意が必要です．

対策としては，差動の信号対の配線をなるべく電気的に等長にすることです．しかし，複数の種類のDUTに対応させることを考慮すると，DUTとLSIテスタ内の測定装置の間の配線は長くなる傾向にあり，配線技術だけでこの問題に対処することは不可能に近くなっています．

別の対策として，DUTの直近にトランスや差動増幅器などの平衡-不平衡変換素子を配置して，LSIテスタ内の測定装置まではシングルエンドで伝送する方法が考えられます．この場合，差動伝送のメリットがなくなるだけでなく，測定精度が平衡-不平衡変換素子の影響を受けることになります．これらの素子はDUTインターフェース（ロードボード）上に配置されるため，多くの場合，LSIテスタが備える自動校正機能を利用できなくなります．

● 駆動能力の不足は抵抗性プローブで対応

高周波の測定系では，一般に，特性インピーダンスが50Ωの伝送路が使われています．ECL（emitter coupled logic）のようなデバイスは50Ωの線路を駆動することを前提に作られているので問題ありませんが，CMOSデバイスはこのような低いインピーダンスを駆動できません．最近，CMOSデバイスの動作周波数の上昇が著しく，デバイスとLSIテスタの接続に高周波技術が要求されるようになってきていますが，先に述べた理由で，CMOSデバイスを標準的な高周波測定システムに直結することはかなり困難です．

このような問題に対処するために，現在，一般に使われているのが，**図11**に示すような抵抗性プローブ（resistive probe）をデバイスの直近に配置する方法です．抵抗性プローブは，デバイスの出力を抵抗分圧します．デバイス側の出力は高いインピーダンスにつながれ，LSIテスタ側からは50Ωに見えるようになっています．ただし，この方法ではインピーダンス比だけ電圧が降下するので，高感度測定には向きません．感度を犠牲にせず，かつ回路に負荷をかけずに測定する方法も提案されていますが，まだ実用化には至っていないようです．

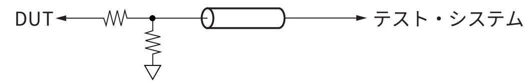


図11　抵抗性プローブの例
デバイスの出力を抵抗分圧する．デバイス側の出力は高いインピーダンスにつながれ，LSIテスタ側からは50Ωに見えるようになっている．

4 LSIテスト項目の例

ここではLSIテスタを用いた実際のテスト項目の例を示します．

● ボンディング・ワイヤなどの接続をチェック

チップ（ダイ）をパッケージに封止する際に，ワイヤ・ボンディングなどでチップ上のパッドとパッケージの電極を接続します．この工程で不ぐあいが発生すると，チップの動作が完ぺきであっても，製品としては不良品となります．この不ぐあいを検出するテストが「コンタクト・チェック（DCテスト）」です．

このテストは，DUTが正しくLSIテスタに接続されているかどうかのチェックにも使われます．ハンドラ（DUTをLSIテスタに移送する装置）やプローバ（DUTにプローブを接触させる装置）の接点とDUT端子の接触はかならずしも安定していません．そのため，LSIテストの前にこれらの接続をチェックする必要があります．

コンタクト・チェックでは，LSIテスタのピンから定電流を流し，チップ上のパッドに付いている保護ダイオードを意図的に導通させ，そこで発生するダイオードの順方向電圧を測定します．ボンディング・ワイヤが外れている場合，順方向電圧よりもはるかに高い電圧が観測されるので，その部分の不良を検出できます（**図12**）．ボンディング以外でも，LSIテスタの電極とDUTの電極の間の接続に関する

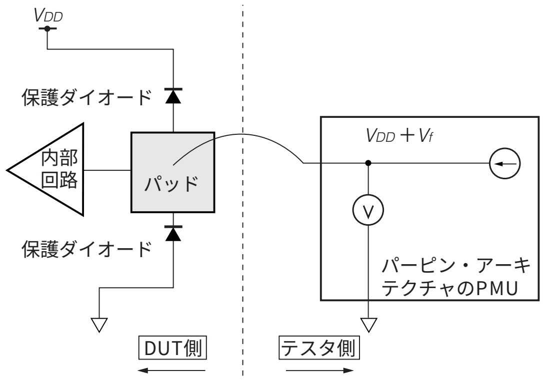


図12　コンタクト・チェック

LSIテスタのピンから定電流を流し，チップ上のパッドに付いている保護ダイオードを意図的に導通させ，そこで発生するダイオードの順方向電圧を測定する．

不ぐあいであれば，この方式で検出できます．例えば，DUTインターフェースのICソケットの電極が磨耗して電気的に不安定になった場合などです．

このテストを効率良く行うために，電流・電圧の発生，および測定を行う機能をLSIテスタのすべてのピンに持たせたパーピン・アーキテクチャが利用されています．LSIのスキャン・テスト（LSI内部のフリップフロップを数珠つなぎにして一種のシフト・レジスタを構成し，回路中の各フリップフロップの値を外部に取り出せるようにするテスト手法）の場合，LSIテスタはDUTのスキャン用I/Oピンに対してのみ信号を入出力すれば済みます．しかし，上述のコンタクト・チェックでは，DUTのすべてのピンに対して信号を入出力する必要があり，そのため，コンタクト・チェックに必要なピン数はスキャン・テストのピン数より多くなる傾向にあります．

● 高速I/O回路のテストが大きな課題に

ディジタル回路についていえば，スキャン・テストやBIST（built-in self-test；埋め込み自己テスト）など，効率良くテストする手法がすでに実用化されています．そして，現在，大きな課題として残っているのが，高速I/Oのテストです．

CMOS LSIの場合，実際の使用状態ではたいてい直近の素子だけを駆動するように設計されています．しかし，LSIテスタによるテストでは，DUTはLSIテスタの入力までの配線を駆動する必要があります．DUTが50Ω負荷を駆動できる場合，インピーダンス制御された配線（ストリップ線路や同軸ケーブルなど）を利用できるので，それほど問題となりません．しかし，最近のDUTは低消費電力化の要求から負荷の駆動能力が低下しています．そのため，50Ω負荷を駆動できない場合が少なくありません．

例えば，DUTの直近にバッファ・アンプを置けば，この問題を解消できます．しかしこの場合，別途，バッファ・アンプの電源を用意する必要があります．また，DCテストのためのリレーも必要となるので，DUTの周りに多くの部品を取り付けることになります．これらの後付けの部品についても，測定システムの一部としての品質保証が要求されます．

このほかの解決方法として，DUTの出力ピンをDUT自身の入力ピンに接続して機能テストを行う，いわゆる「ループバック・テスト」があります．ただし，単純なループバック・テストでは， 特定の条件下の機能しか確認できません．標準規格に準拠しているかどうかなどの確認が必要な場合には，別のテスト手法と組み合わせる必要があります．

図13に，シリアルATAなど，高速シリアルI/Oのテストを想定したループバック・テストの例を示します．単純なループバック・テストに加えて，図の下半分の部分に直列にJIM（jitter injection module）を加えることで，DUTの余力を評価できます．直接，標準規格に準拠しているかどうかをテストしているわけではありませんが，チップにひそむ不ぐあいについての有用な情報が得られます．

● CMOSの静止電源電流を測定して不ぐあいを検出

ディジタルCMOS LSIは，定常状態（内部のノードがトグルしていない状態）では電源電流が流れません．このことを利用して，電源線に流れる電流を観測することにより回路内部の欠陥の存在を検出する手法が用いられています．これは「I_{DDq}テスト」と呼ばれています．I_{DDq}とは，I_{DD} quiescent，すなわち静止電源電流のことです．

（後編に続く）

参考・引用*文献

(1) 小室貴紀，酒寄寛；高速アナログ・デジタル混載LSIテスタ技術，計測と制御，vol.41，no.4，2002年4月．
(2) M. Kimura，A. Minegishi，K. Kobayashi and H. Kobayashi；A New Coherent Sampling System with a Triggered Time Interpolation，*IEICE Trans. on Fundamentals*，vol.E84-A，no.3，pp.713-719，March 2001.
(3) M. Kimura，K. Kobayashi and H. Kobayashi；A Quasi-Coherent Sampling Method for Wideband Data Acquisition，*IEICE Trans. on Fundamentals*，vol.E85-A，no.4，pp.757-763，April 2002.

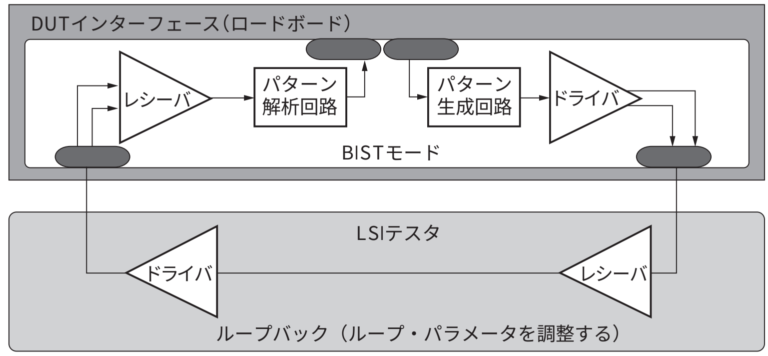


図13
ループバック・テスト法の構成例
図の下半分の部分に直列にJIM (jitter injection module)を加えることで，DUTの余力を評価できる．

(4) 小林謙介；高速波形計測のための等価時間サンプリング技術，計測と制御，vol.41，no.4，2002年4月．

(5) 電気学会 編；電磁波雑音のタイムドメイン計測技術，コロナ社，1995年．

(6) H. Kobayashi, K. Kobayashi, M. Morimura, Y. Onaya, Y. Takahashi, K. Enomoto and H. Kogure；Sampling Jitter and Finite Aperture Time Effects in Wideband Data Acquisition Systems, *IEICE Trans. on Fundamentals*, vol.E85-A, no.2, pp.335-346, Feb. 2002.

(7) N. Kurosawa, H. Kobayashi, H. Kogure, T. Komuro and H. Sakayori；Sampling Clock Jitter Effects in Digital-to-Analog Converters, *Measurement*, vol.31, no.3, pp.187-199, March 2002.

(8) N. Hayasaka and H. Kobayashi；Input-Dependent Sampling-Time Error Effects in MOS Samplers, *IEICE Trans.on Electronics*, vol.E87-C, no.6, pp.1015-1021, June 2004.

(9) M. Tamba, A. Shimizu, H. Munakata and T. Komuro；A Method to Improve SFDR with Random Interleaved Sampling Method, *Proceedings International Test Conference* 2001, pp.512-520, 2001.

(10) N. Kurosawa, H. Kobayashi, K. Maruyama, H. Sugawara and K. Kobayashi；Explicit Formula for Channel Mismatch Effects in Time-Interleaved ADC Systems, *IEEE Trans. on Circuits and Systems I*：*Fundamental Theory and Applications*, vol.48, no.3, pp.261-271, March 2001.

(11) N. Kurosawa, H. Kobayashi and K. Kobayashi；Channel Linearity Mismatch Effects in Time-Interleaved ADC Systems, *IEICE Trans. on Fundamentals*, vol.E85-A, no.4, pp.749-756, April 2002.

(12) T. Tobari, H. Kobayashi, K. Uchida, H. Matsuura, M. Yamanaka, S. Kobayashi, T. Fujita and A. Miura；Track/Hold Circuit in GaAs HBT Process, *IEICE Trans. on Fundamentals*, vol.E80-A, no.3, pp.454-460, March 1997.

(13) H. Kobayashi, T. Mizuta, M. Kimura, K. Uchida, T. Tobari, H. Matsuura, K. Kobayashi, A. Miura, T. Yakihara, S. Kobayashi, M. Yamanaka, S. Oka, T. Fujita, A. Nakajima, D. Murata and M. Morimura；High-Speed ADC Systems with HBTs for Measuring Instrument Applications, *Computer Standards & Interfaces*, Elsevier Publishers, vol.22, no.2, pp.121-140, June 2000.

(14) H. Kobayashi, T. Mizuta, K. Uchida, H. Matsuura, A. Miura, T. Yakihara, S. Oka and D. Murata；A High-Speed 6-bit ADC with SiGe HBT, *IEICE Trans. on Fundamentals*, vol.E81-A, no.3, pp.389-397, March 1998.

(15) 竹内恒一郎，水原晃；原子間顕微鏡を利用したピコ秒パルス測定，応用物理，vol.67，no.5，p.568，1998年．

(16) M. L. Bushnell and V. D. Agrawal；*Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits*, Kluwer Academic Publishers, 2000.

こむろ・たかのり，さかより・ひろし
アジレント・テクノロジー・インターナショナル(株)
SOCテスト事業部 製品開発部

こばやし・はるお，こうの・まさし
群馬大学工学部 電気電子工学科

<筆者プロフィール>

小室貴紀．転職を繰り返し，1997年から現職．一応アナログ回路の専門家に分類されているが，なんにでも首を突っ込みたがる雑学好き．子供の頃は「落ち着きがない」と言われていたが，最近では「計測は雑学だ」と開き直っている．

小林春夫．群馬大学工学部 電気電子工学科教授．デバイスとシステムを結ぶ分野の学問的確立を目指す．「アナログ立国」を標榜し，「群馬大学アナログ集積回路研究会」の設立に参画．座右の銘は「議論より実行」．最近は中国古典「孫子の兵法書」に親しむ．

酒寄 寛．生来の分解魔．小学生のころ，ふとしたはずみでエレクトロニクスに興味を抱きました．以来，この分野の驚異的な発展の中でしごとをし，刺激的な体験もさせてもらいました．今，この産業も成熟期に入り，今後どのように推移するのか興味津々です．

光野正志．1979年，埼玉県生まれ．群馬大学大学院 博士課程在学中．小林春夫教授の指導のもと，スイッチング電源，EMC関連技術，MEMS技術，アナログ・ディジタル混載集積回路設計と，バラエティに富んだ研究を行っている．尊敬する人は坂本竜馬と小林春夫先生．「小林DNA」を受け継ぐ者だ，と勝手に思い込んでいる．